

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-004393

(43)Date of publication of application : 14.01.1994

(51)Int.Cl.

G06F 12/00

G06F 15/82

(21)Application number : 04-158245

(71)Applicant : SHARP CORP

(22)Date of filing : 17.06.1992

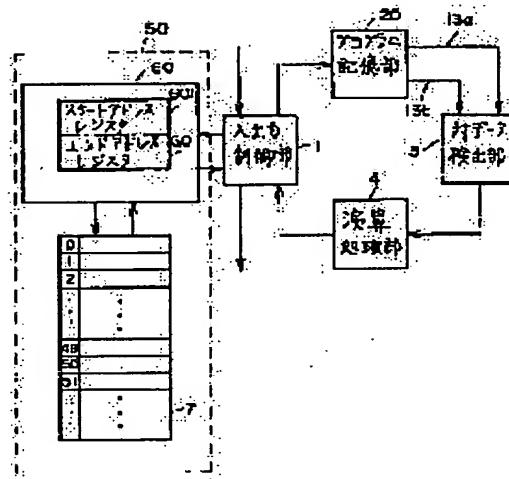
(72)Inventor : HATAKEYAMA KOICHI

(54) DATA DRIVING TYPE INFORMATION PROCESSOR

(57)Abstract:

PURPOSE: To prevent the processing speed of the data driving type information processor from being lowered.

CONSTITUTION: This data driving type information processor is provided with a program storage part 20 to store an area setting instruction C1 for simultaneously designating plural continuous address areas from a data flow program based on destination information to be inputted and a data write instruction C2, address registers 601 and 602 for setting a start address and an end address in response to the area setting instruction C1 from the program storage part 20, and data memory interface part 60 to store inputted data and to reload memory data from the start address to the end address with arbitrary values in response to the data write instruction C2 from the program storage part 20.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-4393

(43)公開日 平成6年(1994)1月14日

(51)Int.CL⁹
G 06 F 12/00
15/82

識別記号 593
府内整理番号 9368-5B
7323-5L

F I

技術表示箇所

(21)出願番号 特願平4-158245
(22)出願日 平成4年(1992)6月17日

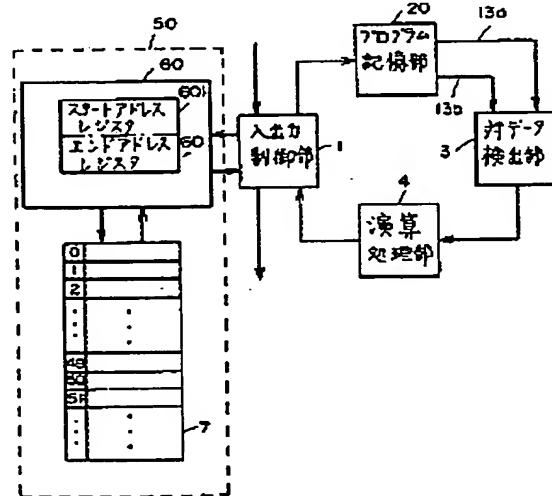
(71)出願人 000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号
(72)発明者 久山 耕一
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内
(74)代理人 弁理士 深見 久郎

(54)【発明の名称】 データ駆動型情報処理装置

(57)【要約】

【目的】 データ駆動型情報処理装置の処理速度の低下を防ぐことを目的とする。

【構成】 データ駆動型情報処理装置であって、入力される行先情報を基づいてデータフロープログラムから複数の連続するアドレス領域を一度に指定する領域設定命令C1と、データ書き込み命令C2を読出すプログラム記憶部20と、プログラム記憶部20からの領域設定命令C1に応答してスタートアドレスとエンドアドレスを設定するためのアドレスレジスタ601および602と、入力されるデータを記憶しつつプログラム記憶部20から書き込み命令C2に応答してスタートアドレスからエンドアドレスまでのメモリデータを任意の値に書き直すデータメモリインターフェース部60とを含む。



【特許請求の範囲】

【請求項1】 様数組の行先情報および命令情報を含むデータフロープログラムに基づいて情報処理を行なうデータ駆動型情報処理装置であって、
入力されるデータを記憶するデータメモリ手段、
データフローブログラムを記憶し、入力された行先情報に基づいて前記データフローブログラムから少なくとも
次の行先情報および命令情報を読み出すプログラム記憶手段。

前記プログラム記憶手段により読み出された行先情報のうち、同じ行先情報を持つ2つのデータを検出し、この2つのデータをまとめて出力する対データ検出手段。

前記プログラム記憶手段により読み出された命令情報を応答して、前記対データ検出手段により出力されたデータを演算処理する演算処理手段、および前記演算処理したデータを前記プログラム記憶手段、外部、またはデータメモリ手段に出力する入出力制御手段を備え、

前記データフローブログラムは、さらに前記データメモリ手段の連続する複数のアドレスを一度に指定して、指定したアドレスに同じデータを含む初期化命令を含み。

前記データメモリ手段は、前記初期化命令を実行するための初期化手段を含むことを特徴とするデータ駆動型情報処理装置。

【請求項2】 前記初期化手段は、前記連続する複数のアドレスのうちのスタートアドレスを保持するスタートアドレスレジスタ手段と、前記連続するアドレスのうちのエンドアドレスを保持するエンドアドレスレジスタ手段とを含む、前記請求項1記載のデータ駆動型情報処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、データ駆動型情報処理装置に關し、特にデータメモリ部の初期化に関するものである。

【0002】

【従来の技術】 従来のノイマン型計算機においてはプログラムとして種々の命令が予めプログラムメモリに記憶され、プログラムカウンタによってプログラムメモリのアドレスが逐次指定されることにより順次命令が読み出され、その命令が実行される。

【0003】 一方、データ駆動型情報処理装置は、プログラムカウンタによる逐次的な命令の実行という概念を持たない非ノイマン型計算機の一様である。このようなデータ駆動型情報処理装置には、命令の並列処理を基本としたアーキテクチャが採用される。データ駆動型情報処理装置においては、演算の対象となるデータが早い次第、命令の実行が可能となり、データによって複数の命令が同時に駆動されるため、データの自然な流れに従って並列的にプログラムが実行される。そのため、演算の

所用時間が大幅に短縮すると見なされている。

【0004】 図5は、従来のデータ駆動型情報処理装置の構成の一例を示すブロック図である。また、図6はその情報処理装置により処理されるデータパケットのフィールド構成の一例を示す図である。

【0005】 図6に示されるデータパケットは、行先フィールド、命令フィールド、データ1フィールドおよびデータ2フィールドを含む。行先フィールドには行先情報が格納され、命令フィールドには命令情報が格納され、データ1フィールドまたはデータ2フィールドにはオペランドデータが格納される。

【0006】 図5に示される情報処理装置は、入出力制御部1、プログラム記憶部2、対データ検出部3、および演算処理部4を含む。また、この情報処理装置は、外部的に設けられる外部データメモリ装置5を備える。

【0007】 入出力制御部1は、入力されたデータパケットを一時的に記憶し、データを順序よく合流させて次々と送り出す入出力制御機能と、演算部4により出力されたデータパケットに付された行先情報に応答してデータの行先を決定する出力制御機能とを備える。

【0008】 プログラム記憶部2には、図7に示されるデータフローブログラム8が記憶されている。データフローブログラム8の各行は、行先情報9、命令情報10、および定数有／無情報11からなる。定数有／無情報が「有」を示している場合には、次の行には定数データ12が記憶されている。プログラム記憶部2は、入力されたデータパケットの行先情報に基づいたアドレス指定によって、データフローブログラム8の行先情報9、命令情報10、および定数有／無情報11を読み出し、その行先情報9および命令情報10をデータパケットの行先フィールドおよび命令フィールドにそれぞれ格納し、そのデータパケットを出力する。上記命令情報には、演算処理部4に対するものと、外部データメモリ装置5に対するものがある。演算処理部4に対するものとしては、算術演算、論理演算、比較演算などがある。また、外部データメモリ装置5に対するものとしては、読み命令I SEL、S SEL、およびC SELと、書き込み命令I REP、S REP、C REPがある。

【0009】 I SELは、4バイトのデータを読み出す命令である。

【0010】 S SELは、2バイトのデータを読み出す命令である。

【0011】 C SELは、1バイトのデータを読み出す命令である。

【0012】 I REPは、4バイトのデータを書き込む命令である。

【0013】 S REPは、2バイトのデータを書き込む命令である。

【0014】 C REPは、1バイトのデータを書き込む命令である。

3

【0015】なお、「I」はInteger、「S」はShort、「C」はCharacterを意味する。

【0016】図8は、外部データメモリ装置5に出力されるデータパケットを示す図である。図8の(a)は、読み出命令のデータパケット。(b)は読み出されたデータを含むデータパケット。(c)は、書き込み命令と書き込みデータを含むデータパケットである。各パケットに含まれる命令情報には、前述した読み出命令ISEL、SSEL、CSELまたは書き込み命令IREP、SREP、CREPが用いられる。

【0017】対データ検出部3は、プログラム記憶部2から出力されるデータパケットの待合せを行なう。すなわち、命令情報が2入力命令を示している場合には、同じ行先情報を有する異なる2つのデータパケットを読み出し、それらのデータパケットのうち一方のデータパケットのオペランドデータ(図6におけるデータ1フィールドの内容)を、他方のデータパケットのデータ2フィールドに格納し、その他方のデータパケットを出力する。命令情報が1入力命令を示している場合には、入力されたデータパケットをそのまま出力する。

【0018】演算処理部4は、対データ検出部3から出力されるデータパケットに対して、命令情報に基づく演算命令を行ない、その結果をそのデータパケットのデータ1フィールドに格納してそのデータパケットを入出力制御部1に出力する。

【0019】なお、プログラム記憶部2と対データ検出部3とは2つのデータ伝送路13aおよび13bにより結合されている。プログラム記憶部2から出力されるデータパケットは、オペランドデータが演算処理における右オペランドデータであるか左オペランドデータであるかに対応して選択的にデータ伝送路13a、13bのいずれか一方により転送される。

【0020】データパケットが、プログラム記憶部2、対データ検出部3、演算処理部4、入出力制御部1、およびプログラム記憶部2を順に回り続けることにより、プログラム記憶部2に記憶されたデータフロープログラム8に基づく演算処理が進行する。

【0021】外部データメモリ装置5はデータ駆動型情報処理装置により処理されるデータを記憶しておくデータメモリ部7と、入出力制御部1を介して入力されるデータパケット(図8の(a)または(c))に示したデータパケットに含まれる命令情報およびデータに応答して、データメモリ部7にアクセスするデータメモリインターフェース部5とを含む。この外部データメモリ装置5は、プログラム記憶部2から対データ検出部3、演算処理部4、および入出力制御部1を介して与えられるデータパケットのアドレスデータにより、アドレスが指定され、指定されたアドレスからデータを読み出す。この読み出したデータは図8の(b)のデータパケットのデータフィールドに格納されて入出力制御部1に出力される。ま

4

た、図8の(c)のデータパケットに含まれる書き込み命令(IREP)に応答して、データメモリ部7にアクセスし、データパケットに含まれる書き込みデータを指定されたアドレスに書き込む。

【0022】

【発明が解決しようとする課題】従来のデータ駆動型情報処理装置は、以上のように構成されているので、データメモリ部7を初期化(たとえば、アドレス1からアドレス50までのメモリデータを値「1」に設定)する場合には、(図8の(c)に示したデータパケットを50回送信する必要がある。この場合の命令情報として、IREPが用いられ、書き込みデータとして値「1」が設定され、アドレスデータとして1番から50番までがパケット毎に設定される。

【0023】しかしデータ駆動型情報処理装置は、前述したように、データパケットがプログラム記憶部、対データ検出部3、演算処理部4、入出力制御部、プログラム記憶部2と順に回り続けることから、データパケットが多いと伝送路が混み合い、処理速度の低下を招くことになる。

【0024】それゆえに、この発明はデータの初期化を高速で行なうことのできるデータ駆動型情報処理装置を提供することを目的とする。

【0025】

【課題を解決するための手段】前記目的を達成するためのデータ駆動型情報処理装置は、データメモリ手段、プログラム記憶手段、対データ読み出手段、演算処理手段、および入出力制御手段を含む。

【0026】

30 プログラム記憶手段はデータフローブログラムを記憶し、入力された行先情報を基づいてデータフローブログラムから少なくとも次位の行先情報をおよび命令情報を読み出す。データフローブログラムには、連続する複数のアドレスを一度に指定して、指定したアドレスに同じデータを書き込む初期化命令が含まれる。

【0027】対データ検出手段は、プログラム記憶手段により読み出された行先情報を受け、同じ行先情報を持つ2つのデータを検出し、2つのデータをまとめて出力する。

【0028】

40 演算処理手段は、対データ検出手段により出力されたデータを演算処理する。

【0029】

入出力制御手段は、演算処理したデータをプログラム記憶手段、外部またはデータメモリ手段に出力する。

【0030】

データメモリ手段は、入力されるデータを記憶する機能と、初期化命令を実行するための初期化手段を含む。

【0031】

【作用】以上のこの発明では、データフローブログラムがデータメモリ手段の連続する複数のアドレスを一度に指定して、指定したアドレスに同じデータを書き込む初期

50

化命令を含んでいる。そして、データを初期化する場合には、プログラム記憶手段がこの命令を読み出し、データメモリ手段の初期化手段に与える。初期化手段はデータの初期化命令に応答して、連続する複数のアドレスに同じデータを書き込む。このようにして、データパケットの送信回数を従来例よりも少なくすることができるので、データ初期化動作を高速化することができる。

【0032】

【実施例】図1はこの発明の一実施例によるデータ駆動型情報処理装置の構成を示すブロック図である。

【0033】図1において、データ駆動型情報処理装置は、入出力制御部1、プログラム記憶部20、対データ検出部3、演算処理部4、および外部データメモリ装置50を含む。

【0034】入出力制御部1、対データ検出部3、演算処理部4の構成および動作は図5に示される入出力制御部、対データ検出部および演算処理部4の構成および動作と同様である。

【0035】プログラム記憶部20の構成および動作は図5に示されるプログラム記憶部2の構成および動作と同様であるが、プログラム記憶部20に記憶されているデータフロープログラムには、従来例で示した命令の他に、データを初期化するための初期化命令が含まれる。この初期化命令には、データメモリ部7の連続する複数のアドレス領域を一度に指定する領域設定命令C1と、指定した領域に任意の値(たとえば「1」)を書き込む書き込み命令C2とを含む。これらの領域設定命令C1および書き込み命令C2は、それぞれ異なるデータパケットの命令フィールドに格納される。

【0036】外部データメモリ装置50は、データメモリインターフェース60とデータメモリ部7とを備える。データメモリ部7は図5に示したデータメモリ部の構成および動作と同様である。データメモリインターフェース60は、図5に示したデータメモリインターフェースの構成に加えて、スタートアドレスレジスタ601とエンドアドレスレジスタ602とを備え、プログラム記憶部20から、対データ検出部3、演算処理部4、入出力制御部1を介して入力される初期化命令に応答して、データを初期化する機能を有する。

【0037】次に図1に示したデータ駆動型情報処理装置のデータ初期化動作を、図2ないし図4を用いて説明する。

【0038】図2はデータ初期化前の状態を示す図であり、図3は初期化領域の設定動作を示す図であり、図4は初期化データの書き込み動作を示す図である。

【0039】なお、データの初期化動作としては、データメモリ部7のアドレス1からアドレス50までのデータを初期化する場合を説明する。

【0040】まずデータ初期化前の状態では、図2に示すように、スタートアドレスレジスタ601およびエン

ドアドレスレジスタ602は不定の状態であり、データメモリ部7の各アドレスのデータも不定である。

【0041】次に、アドレス1からアドレス50までを初期化する場合には、プログラム記憶部20は、図3に示すように命令フィールドに領域設定命令C1を格納し、データ1フィールドにスタートアドレスレジスタ1を格納し、データ2フィールドにエンドアドレスデータ50を格納する。データメモリインターフェース60は、領域設定命令C1およびスタートアドレスとエンドアドレスとが格納されたデータパケットを受け、スタートアドレスレジスタ601にアドレス1を設定し、エンドアドレスレジスタ602にアドレス50を設定する。

【0042】ついで、プログラム記憶部20は、領域設定命令C1を含むデータパケットに続いて図4に示すデータパケットを送信する。すなわち、命令フィールドに書き込み命令C2を格納し、データ1フィールドに初期化データとして値「1」を格納したデータパケットを送信する。データメモリインターフェース60は、データパケットに含まれるデータ書き込み命令C2に応答して、スタートアドレス1からエンドアドレス50までに値「1」を書き込む。すなわちスタートアドレス1からエンドアドレス50までのデータを「1」に書き直す。データ初期化が終了した後はスタートアドレスレジスタ601とエンドアドレスレジスタ602の値は不定となる。

【0043】このようにして、データメモリ部7のデータをわずか2つのデータパケットにより初期化できる。

【0044】

【発明の効果】以上説明したように、この発明によれば、データメモリ手段のデータを初期化する場合において、複数のアドレスを一度に指定し、指定したアドレスに初期化のためのデータを書き込むことができるので、従来例と比較して少ないデータパケットによりデータの初期化を行なうことができる。この結果、データ駆動型情報処理装置の処理速度の低下を防ぐことができる。

【図面の簡単な説明】

【図1】この発明の一実施例によるデータ駆動型情報処理装置の構成を示すブロック図である。

【図2】データ初期化前の状態を示す図である。

【図3】初期化領域の設定動作を示す図である。

【図4】初期化データの書き込み動作を示す図である。

【図5】従来のデータ駆動型情報処理装置の一例を示すブロック図である。

【図6】データ駆動型情報処理装置により処理されるデータパケットのフィールド構成の一例を示す図である。

【図7】プログラム記憶部に記憶されているデータフローブログラムの図である。

【図8】外部データメモリ装置へのアクセス命令を含むデータパケットを示す図である。

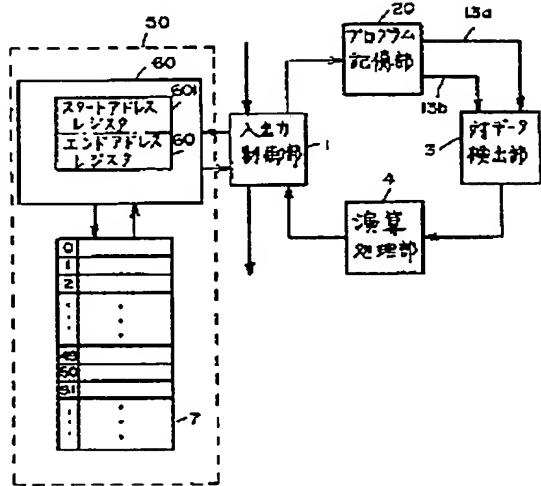
【符号の説明】

50 1 入出力制御部

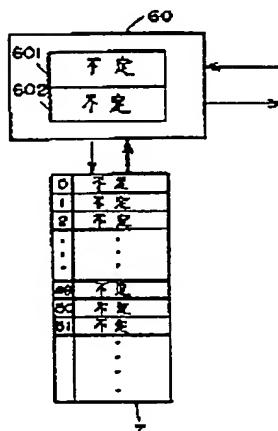
3 対データ検出部
4 演算処理部
7 データメモリ部
20 プログラム記憶部

* 50 外部データメモリ装置
60 データメモリインターフェース部
601 スタートアドレスレジスタ
* 602 エンドアドレスレジスタ

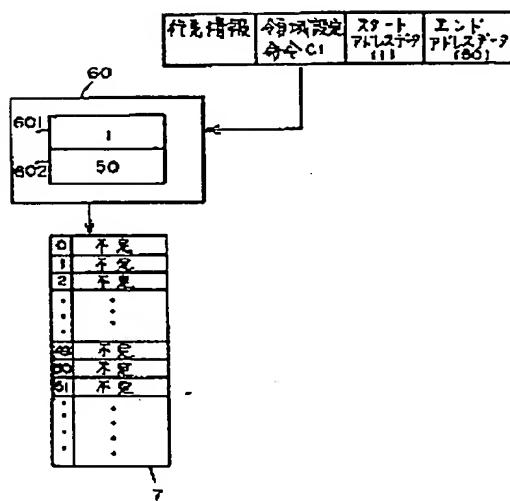
【図1】



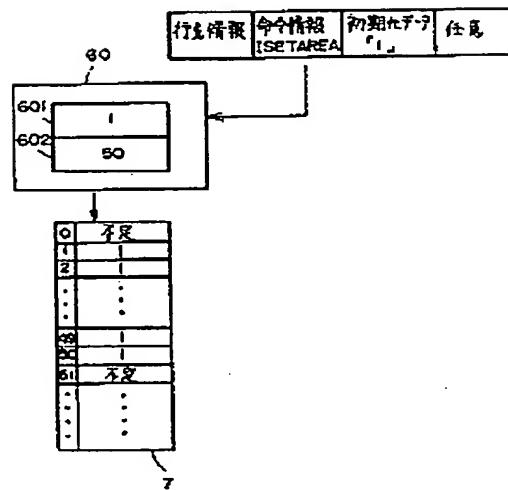
【図2】



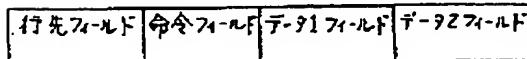
【図3】



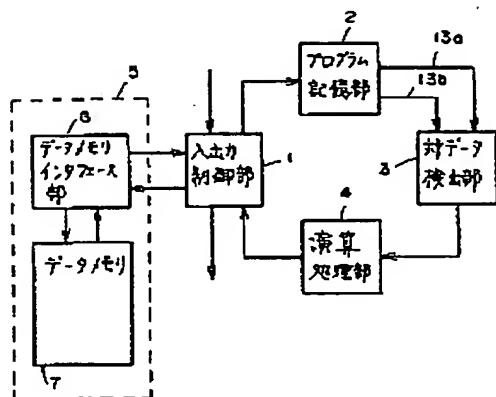
【図4】



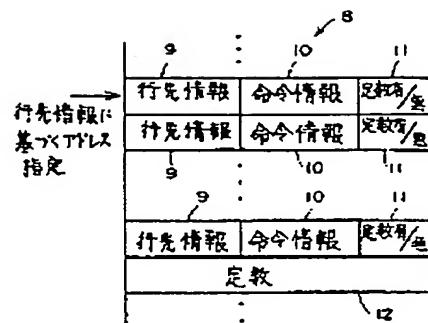
【図6】



【図5】



【図7】



【図8】

